

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-124216

(P2000-124216A)

(43)公開日 平成12年4月28日(2000.4.28)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 21/3205		H 0 1 L 21/88	R 4 M 1 0 4
21/28	3 0 1	21/28	3 0 1 R 5 F 0 3 3
21/304	6 2 2	21/304	6 2 2 X
		21/88	K

審査請求 有 請求項の数11 O L (全 7 頁)

(21)出願番号 特願平10-290539

(22)出願日 平成10年10月13日(1998. 10. 13)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 長谷川 三重子

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100096105

弁理士 天野 広

Fターム(参考) 4M104 BB04 BB17 BB30 BB32 FF16

5F033 HH11 HH21 HH23 HH32 HH33

MM01 MM12 MM13 PP06 PP15

PP28 QQ00 QQ09 QQ48 QQ50

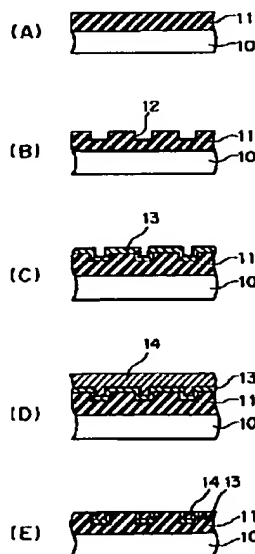
WW02 XX01

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】 (修正有)

【課題】CMP(化学的・機械的研磨)により銅配線層を形成する場合に、CMP後に銅配線層が界面から剥がれてしまうことがない半導体装置の製造方法を提供する。

【解決手段】定盤上に固定された研磨パッド上にウェハを置き、ウェハの表面に形成された金属配線に化学的機械的研磨を施し、ダマシン配線を形成する過程を含む半導体装置の製造方法において、下地酸化膜11に溝を形成する溝形成過程(B)と、溝の内面をバリア膜13で覆うバリア膜形成過程(C)と、銅膜14で前記溝を埋め込む銅成膜過程(D)と、無機スラリーを用い、研磨荷重が140g/cm²以下、ウェハ中央点における線速度が0.1m/s以下の研磨条件の下に、銅膜を研磨する研磨過程(E)と、を備える。



10:半導体基盤 13:バリア金属膜
11:二酸化シリコン膜 14:銅膜
12:溝

【特許請求の範囲】

【請求項1】 定盤上に固定された研磨パッド上にウェハを置き、該ウェハの表面に形成された金属配線に化学的機械的研磨を施し、ダマシン配線を形成する過程を含む半導体装置の製造方法において、

銅配線を前記ウェハ中央の線速度が 0.1 m/s 以下であるような研磨条件で研磨する過程を備えることを特徴とする半導体装置の製造方法。

【請求項2】 定盤上に固定された研磨パッド上にウェハを置き、該ウェハの表面に形成された金属配線に化学的機械的研磨を施し、ダマシン配線を形成する過程を含む半導体装置の製造方法において、

下地酸化膜に溝を形成する溝形成過程と、前記溝の内面をバリア膜で覆うバリア膜形成過程と、銅膜で前記溝を埋め込む銅成膜過程と、無機スラリーを用い、研磨荷重が 140 g/cm^2 以下、ウェハ中心点における線速度が 0.1 m/s 以下の研磨条件の下に、前記銅膜を研磨する研磨過程と、を備えることを半導体装置の製造方法。

【請求項3】 定盤上に固定された研磨パッド上にウェハを置き、該ウェハの表面に形成された金属配線に化学的機械的研磨を施し、ダマシン配線を形成する過程を含む半導体装置の製造方法において、

下地酸化膜に溝を形成する溝形成過程と、銅膜で前記溝を埋め込む銅成膜過程と、無機スラリーを用い、研磨荷重が 140 g/cm^2 以下、ウェハ中心点における線速度が 0.1 m/s 以下の研磨条件の下に、前記銅膜を研磨する研磨過程と、を備えることを半導体装置の製造方法。

【請求項4】 前記溝形成過程後であって前記銅成膜過程前に、前記下地酸化膜をプラズマ処理する過程を含むことを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】 裏面荷重は前記研磨荷重の80%以下に設定されていることを特徴とする請求項2乃至4の何れか一項に記載の半導体装置の製造方法。

【請求項6】 前記銅成膜過程は、第一の厚さを有する銅のシード層を形成する過程と、前記第一の厚さよりも大きい第二の厚さを有する銅膜を成膜する過程と、からなるものであることを特徴とする請求項2乃至5の何れか一項に記載の半導体装置の製造方法。

【請求項7】 前記シード層及び前記銅膜はメッキ法、CVD法又はスパッタ法の何れかにより形成されるものであることを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】 前記バリア膜は、TiN、TiW、Ta又はTa₂N膜の何れか一つであることを特徴とする請求項2乃至7の何れか一項に記載の半導体装置の製造方法。

【請求項9】 前記バリア膜の膜厚は1000オングス

トーム以下であることを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】 前記無機スラリーは、アルミナ粒子又はシリカ粒子の懸濁液と過酸化水素水との混合物からなるものであることを特徴とする請求項2乃至9の何れか一項に記載の半導体装置の製造方法。

【請求項11】 前記アルミナ粒子又はシリカ粒子の懸濁液と前記過酸化水素水との混合比は3:1乃至1:3の範囲内にあることを特徴とする請求項10に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、LSIなどの半導体装置の製造方法に関し、特に、半導体装置の製造工程における化学的機械的研磨に関する。

【0002】

【従来の技術】近年のLSIの高集積化に伴い、より高度な微細加工技術に対する要求が高まっている。特に、現在では、配線パターンの最小加工寸法はサブミクロンのオーダーに突入しており、微細化技術に対する要求は年々高まっている。

【0003】このような要求に対して開発された技術の一つが化学的機械的研磨（Chemical Mechanical Polishing：以下、単に「CMP」と呼ぶ）がある。現在では、このCMPは、例えば、層間絶縁膜の平坦化、ビアホール内のプラグの形成、埋め込み金属配線の形成などに欠かせない技術となっている。

【0004】図4（A）～（E）に、CMPを用いて、埋め込み金属配線を形成する場合の各過程を示す。

【0005】先ず、図4（A）に示すように、半導体基板40上に絶縁膜41を形成した後、絶縁膜41の表面を平坦化する。

【0006】次いで、図4（B）に示すように、フォトリソグラフィ及びエッチングにより、絶縁膜41に複数の配線形成用の溝42を形成する。

【0007】次いで、図4（C）に示すように、バリアメタル膜43を全面に形成する。

【0008】その後、図4（D）に示すように、バリアメタル膜43上に配線用金属膜44を堆積させる。

【0009】次いで、配線用金属膜44に対してCMPを施し、図4（E）に示すように、各溝42の内部のみ、配線用金属膜44を残す。

【0010】このようにして、金属膜44からなる配線層が形成される。

【0011】図5（A）には、金属膜44として銅を選定した場合の配線層の形成過程が示されている。先ず、下地酸化膜としての二酸化シリコン膜51に溝52を形成する。次いで、バリア膜としてTiN膜53を全面に形成する。

【0012】続いて、銅膜54をメッキ法で成膜し、溝52を埋め込む。

【0013】次いで、アルミナ粒子と、酸化剤としての過酸化水素水との混合物からなるスラリーで銅膜54を研磨する。

【0014】そのときの研磨条件は、一般的には、研磨荷重 490 g/cm^2 、ウェハー中心点における線速度が 0.2 m/s である。

【0015】

【発明が解決しようとする課題】しかしながら、上記のような研磨条件で銅膜54にCMPを施すと、研磨荷重が大きく、かつ、線速度も大きいため、銅膜54に機械的な力が作用し、CMP後において、図5(B)に示すように、銅膜54がバリア膜53との界面から剥がれることがある。

【0016】CMP技術については、これまでに、例えば、特開平7-86216号公報、同7-193034号公報、同9-22907号公報、同9-213699号公報、特許第2728025号公報（特開平8-288389号公報）などにおいて、多くの提案がなされている。

【0017】このうち、例えば、特開平7-86216号公報は、有機高分子化合物からなる粒子を研磨粒子として用い、研磨後に残留スラリーを燃焼させ、除去する方法を提案している。この方法において用いられる研磨粒子の形状は球形であるため、被研磨膜に傷が付くことはない。この方法における研磨条件は回転数 100 rpm 、荷重 300 gf/cm^2 である。なお、回転数 100 rpm は線速度に換算すれば、 0.5 m/s である。

【0018】また、特開平同9-213699号公報は、選択CVD法により金属アルミニウムを溝に埋め込み、この金属アルミニウムに化学的機械的研磨(CMP)を施し、多層配線を形成する方法を提案している。アルミニウム配線を形成するための研磨条件は、定盤回転数が 30 乃至 60 rpm 、荷重が 2 乃至 8 psi である。なお、 30 乃至 60 rpm は線速度に換算すれば、 0.15 乃至 0.3 m/s であり、 2 乃至 8 psi は 140 乃至 560 gf/cm^2 である。これら二つの公報に提案されているCMPにおける研磨条件においても、研磨荷重が大きく、かつ、線速度も大きいため、図5(B)に示した場合と同様に、銅配線に機械的な応力が作用し、CMP後において、銅配線が剥がれてしまうことを避けることはできなかった。

【0019】本発明は、以上のような従来のCMPにおける問題点を鑑みてなされたものであり、CMP後において、銅配線が剥がれてしまうことがない半導体装置の製造方法を提供することを目的とする。

【0020】

【課題を解決するための手段】この目的を達成するため、本発明のうち、請求項1は、定盤上に固定された研

磨パッド上にウェハーを置き、該ウェハーの表面に形成された金属配線に化学的機械的研磨を施し、ダマシン配線を形成する過程を含む半導体装置の製造方法において、銅配線をウェハー中央の線速度が 0.1 m/s 以下であるような研磨条件で研磨する過程を備えることを特徴とする半導体装置の製造方法を提供する。

【0021】請求項2は、定盤上に固定された研磨パッド上にウェハーを置き、該ウェハーの表面に形成された金属配線に化学的機械的研磨を施し、ダマシン配線を形成する過程を含む半導体装置の製造方法において、下地酸化膜に溝を形成する溝形成過程と、溝の内面をバリア膜で覆うバリア膜形成過程と、銅膜で溝を埋め込む銅成膜過程と、無機スラリーを用い、研磨荷重が 140 g/cm^2 以下、ウェハー中心点における線速度が 0.1 m/s 以下の研磨条件の下に、銅膜を研磨する研磨過程と、を備えることを半導体装置の製造方法を提供する。

【0022】請求項3は、定盤上に固定された研磨パッド上にウェハーを置き、該ウェハーの表面に形成された金属配線に化学的機械的研磨を施し、ダマシン配線を形成する過程を含む半導体装置の製造方法において、下地酸化膜に溝を形成する溝形成過程と、銅膜で溝を埋め込む銅成膜過程と、無機スラリーを用い、研磨荷重が 140 g/cm^2 以下、ウェハー中心点における線速度が 0.1 m/s 以下の研磨条件の下に、銅膜を研磨する研磨過程と、を備えることを半導体装置の製造方法を提供する。

【0023】請求項3に係る方法においては、請求項4に記載されているように、溝形成過程後であって銅成膜過程前に、下地酸化膜をプラズマ処理する過程を含むことが好ましい。

【0024】また、請求項5に記載されているように、裏面荷重は研磨荷重の 80% 以下に設定されることが好ましい。

【0025】請求項6に記載されているように、上述の方法における銅成膜過程は、第一の厚さを有する銅のシード層を形成する過程と、第一の厚さよりも大きい第二の厚さを有する銅膜を成膜する過程と、からなるものであることが好ましい。

【0026】請求項7に記載されているように、シード層及び銅膜はメッキ法、CVD法又はスパッタ法の何れかにより形成することができる。

【0027】請求項8に記載されているように、バリア膜は、 TiN 、 TiW 、 Ta 又は TaN 膜の何れか一つであることが好ましい。

【0028】また、請求項9に記載されているように、これらのバリア膜の膜厚は 1000 オングストローム以下であることが好ましい。

【0029】請求項10に記載されているように、例えば、無機スラリーとしては、アルミナ粒子又はシリカ粒子の懸濁液と過酸化水素水との混合物からなるものを用

10

20

30

40

50

いることができる。

【0030】その場合、請求項11に記載されているように、アルミナ粒子又はシリカ粒子の懸濁液と過酸化水素水との混合比は3:1乃至1:3の範囲内にあることが好ましい。

【0031】

【発明の実施の形態】(第1の実施形態)図1(A)－(E)は、本発明に係る半導体装置の製造方法の第1の実施形態における各過程を示す。

【0032】先ず、図1(A)に示すように、半導体基板10上に絶縁膜としての二酸化シリコン膜11を形成した後、二酸化シリコン膜11の表面を平坦化する。

【0033】次いで、図1(B)に示すように、フォトリソグラフィ及びエッチングにより、二酸化シリコン膜11に複数の配線形成用の溝12を形成する。各溝12の深さは5000オングストロームである。

【0034】次いで、図1(C)に示すように、バリアメタル膜として厚さ500オングストロームのTiN膜13を全面に形成する。

【0035】この後、図1(D)に示すように、バリアメタル膜13上に銅膜14を堆積させ、溝12を埋め込む。銅膜14の堆積は、先ず、銅膜のシード層をスパッタ法で1000オングストロームの厚さで形成し、その後、直ちに、メッキ法により8000オングストロームの銅膜を成膜することにより、行われる。

【0036】次いで、銅膜14に対してCMPを施し、図1(E)に示すように、各溝12の内部にのみ、銅膜14を残し、ダマシン配線を形成する。

【0037】CMPに際しては、アルミナ粒子の懸濁液と酸化剤としての過酸化水素水とを混合比1:1で混合及び攪拌することにより得たスラリーを用いる。

【0038】研磨条件は以下の通りである。

【0039】荷重:140g/cm²

裏面荷重:112g/cm²

ウェハー中心点における線速度:0.1m/s

図2は本実施形態におけるCMPを実施するための装置の概略的な斜視図である。

【0040】この装置は、モーター(図示せず)から動力の供給を受けて回転する定盤20と、定盤20上に固定された発泡ウレタンからなる研磨パッド21と、研磨パッド21上にウェハー22を固定する回転可能なキャリア23と、上述のスラリーが蓄積されているスラリー源24と、スラリー源24に蓄積されているスラリーを研磨パッド21とウェハー22との間に供給するスラリー供給配管25と、を備えている。

【0041】ウェハー22の表面には、図1(D)に示したように、銅膜14が形成されており、この銅膜14が研磨パッド21に接するように、ウェハー22がキャリア23によって支持される。この状態において、定盤20及びキャリア23がそれぞれ回転することにより、

研磨パッド21及びウェハー22が相互に接触した状態で回転し、銅膜14に対してCMPが施される。

【0042】本実施形態によれば、CMPに起因して銅膜14に作用する機械的な力を抑制することができ、密着力の弱い銅膜14のバリアメタル膜43との界面からのはがれ、スクラッチなどの問題を解決することができる。

【0043】なお、本実施形態においては、バリアメタル膜13として厚さ500オングストロームのTiN膜を用いたが、TiN膜に代えて、TiW、Ta、Ta₂N膜のいずれをも用いることができる。また、その膜厚も1000オングストローム以下であれば同様な効果を得ることができる。

【0044】また、本実施形態においては、銅膜14の成膜方法としては、シード層についてはスパッタ法、埋め込み膜についてはメッキ法を用いたが、成膜方法は、メッキ法、CVD法、スパッタ法のいずれかであればよい。

【0045】また、アルミナ粒子の懸濁液と過酸化水素水との混合比は3:1～1:3の範囲であればよい。さらに、アルミナ粒子の代わりにシリカ粒子を用いることもできる。

【0046】また、研磨条件として荷重140g/cm²を用いたが、荷重は140g/cm²以下であれば、任意の値に設定することができる。

【0047】また、裏面荷重として荷重112g/cm²を用いたが、裏面荷重は荷重の80%以下であればよい。

【0048】さらに、ウェハー中央における線速度は0.1m/s以下の任意の値を設定することができる。(第2の実施形態)図3(A)－(D)は、本発明に係る半導体装置の製造方法の第2の実施形態における各過程を示す。

【0049】先ず、図3(A)に示すように、半導体基板30上に絶縁膜としての二酸化シリコン膜31を形成した後、二酸化シリコン膜31の表面を平坦化する。

【0050】次いで、図3(B)に示すように、フォトリソグラフィ及びエッチングにより、二酸化シリコン膜31に複数の配線形成用の溝22を形成する。各溝22の深さは5000オングストロームである。

【0051】次いで、二酸化シリコン膜31にプラズマ処理を施した後、図3(C)に示すように、二酸化シリコン膜31上に銅膜34を堆積させ、溝22を銅膜34で埋め込む。銅膜34の堆積は、先ず、銅膜のシード層をスパッタ法で11000オングストロームの厚さで形成し、その後、直ちに、メッキ法により8000オングストロームの銅膜を成膜することにより、行われる。

【0052】次いで、銅膜34に対してCMPを施し、図3(D)に示すように、各溝22の内部にのみ、銅膜34を残し、ダマシン配線を形成する。

【0053】CMPに際しては、アルミナ粒子の懸濁液と酸化剤としての過酸化水素水とを混合比1：1で調合及び攪拌することにより得たスラリーを用いる。

【0054】研磨条件は以下の通りである。

【0055】荷重：140g/cm²

裏面荷重：112g/cm²

ウェハー中心点における線速度：0.1m/s

CMPは、第1の実施形態の場合と同様に、図2に示した装置を用いて行われる。

【0056】本実施形態によれば、第1の実施形態の場合と同様に、CMPに起因して銅膜34に作用する機械的な力を抑制することができるので、密着力の弱い銅膜34の二酸化シリコン膜31との界面からのはがれ、スクラッチなどの問題を解決することができる。

【0057】さらに、本実施形態においては、第1の実施形態において形成したバリアメタル膜13を形成する必要がないので、第1の実施形態よりも工程数を削減することができる。

【0058】本実施形態においても、第1の実施形態の場合と同様に、銅膜34の成膜方法はメッキ法、CVD法、スパッタ法の何れをも用いることができる。

【0059】また、アルミナ粒子の懸濁液と過酸化水素水との混合比は3：1～1：3の範囲であればよい。

【0060】さらに、研磨条件において、荷重は140g/cm²以下であればよく、裏面荷重は荷重の80%以下であればよい。また、ウェハー中央における線速度は0.1m/s以下であればよい。

【0061】

【発明の効果】本発明によれば、研磨条件、特に、ウェハー中央における線速度や研磨荷重を上記のような範囲内の値に制御することによって、CMPに起因して銅膜に作用する機械的な力を抑制することができ、密着力の弱い銅膜の界面からのはがれを防止することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の製造方法の第1の実

施形態の各工程を示す断面図である。

【図2】第1の実施形態において使用するCMPの実施のための装置を示す斜視図である。

【図3】本発明に係る半導体装置の製造方法の第2の実施形態の各工程を示す断面図である。

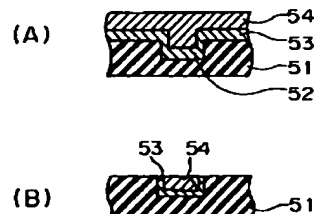
【図4】従来の半導体装置の製造方法の各工程を示す断面図である。

【図5】従来の半導体装置の製造方法の各工程を示す断面図である。

【符号の説明】

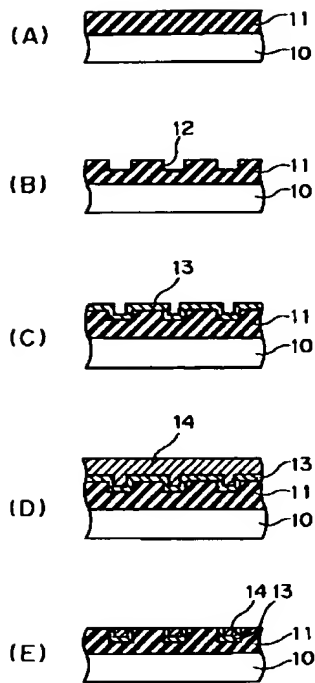
- 10 半導体基板
- 11 二酸化シリコン膜
- 12 溝
- 13 バリアメタル膜
- 14 銅膜
- 20 定盤
- 21 研磨パッド
- 22 ウェハー
- 23 キャリア
- 24 スラリー源
- 25 スラリー供給配管
- 30 半導体基板
- 31 二酸化シリコン膜
- 32 溝
- 34 銅膜
- 40 半導体基板
- 41 二酸化シリコン膜
- 42 溝
- 43 バリアメタル膜
- 44 銅膜
- 51 二酸化シリコン膜
- 52 溝
- 53 バリア膜
- 54 銅膜

【図5】



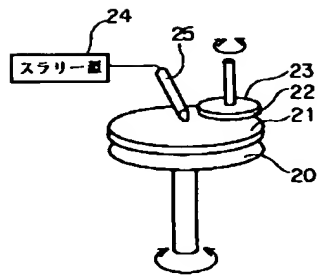
- 51：二酸化シリコン膜
- 52：溝
- 53：バリア膜
- 54：銅膜

【図1】



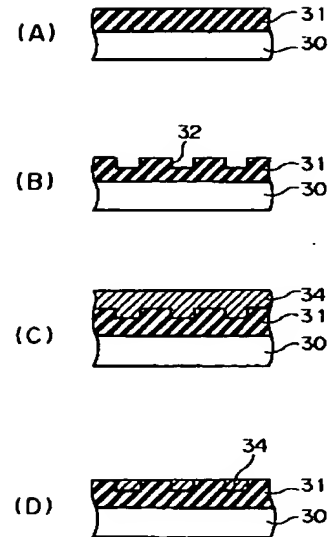
10 : 半導体基板
11 : 二酸化シリコン膜
12 : 漿
13 : バリウム金属膜
14 : 銅膜

【図2】



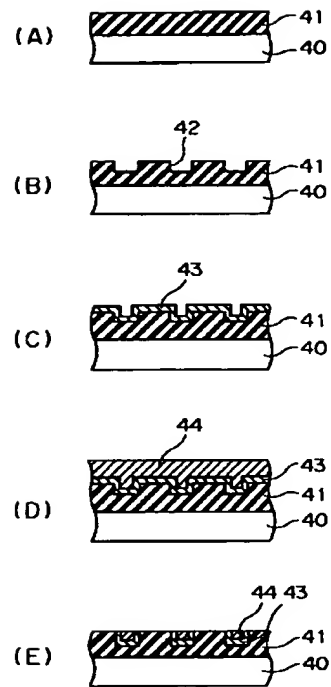
20 : 定盤
21 : 研磨パッド
22 : ウェハー
23 : キャリア
24 : スラリー源
25 : スラリー供給配管

【図3】



30 : 半導体基板
31 : 二酸化シリコン膜
32 : 漿
34 : 銅膜

【図4】



40 : 半導体基板 43 : バリアメタル膜
 41 : 酸化シリコン膜 44 : 銅膜
 42 : 溝